

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): KAWAMURA, Hideaki

Application No.:

Group:

Filed: July 5, 2001

Examiner:

For: IMAGE PROCESSING SYSTEM, AND SEMICONDUCTOR DEVICE AND
DIGITAL STILL CAMERA APPARATUS USING IMAGE PROCESSING
SYSTEM



L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

July 5, 2001
0717-0471P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-204416	07/05/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART KOLASCH & BIRCH, LLP

By:

 #23271
TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/tf

日本国特許庁
JAPAN PATENT OFFICE

1-3-01
BSK3
(703)205-8000
0717-0
10f
09/898068
10/90/07
JCSU
JCSU

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 7月 5日

出願番号
Application Number:

特願2000-204416

出願人
Applicant(s):

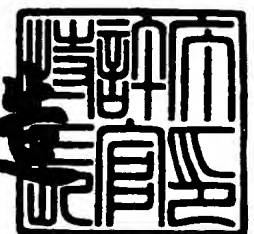
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3042242

【書類名】 特許願

【整理番号】 00J01344

【提出日】 平成12年 7月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/28
G06F 13/362

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 河村 偉光

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005652

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理システム並びにそれを用いた半導体装置およびデジタルスチルカメラ装置

【特許請求の範囲】

【請求項 1】 1 つのシステムバスに接続されてデータ転送を行う機能モジュールと、

該システムバスに接続された中央処理装置と、

該機能モジュールが出力するデータ転送要求信号を受信して、データ転送要求信号に基づいてバス使用権要求信号を出力するデータ転送制御装置と、

該データ転送制御装置と該中央処理装置との間に接続されており、該データ転送制御装置および該中央処理装置からのバス使用権要求信号に対して、どちらに該システムバスの使用権を与えるかを調整する競合制御部とを有する画像処理システムであって、

該データ転送制御装置がバス使用権を得ると連続して転送できるデータ量を設定する手段と、

設定されたデータ転送終了後には該競合制御部への該データ転送制御装置のバス使用権要求信号の送信を 1 クロック期間以上停止させる手段と、

該競合制御部において該データ転送制御装置のバス使用権要求信号が発生している場合には次に必ず該データ転送制御装置がバス使用権を与えられる様に調停する手段と、を具備することを特徴とする画像処理システム。

【請求項 2】 前記機能モジュールが複数であって、前記データ転送制御装置の制御下でデータ転送を行うことが可能であり、

該データ転送制御装置によるデータ転送を前記中央処理装置によるデータ転送よりも優先して行なうように該機能モジュールを設定する手段と、

前記機能モジュールの該データ転送制御装置の制御下でのデータ転送要求が同時に発生し、しかも、そのデータ転送要求に優先的に設定された該機能モジュールのデータ転送要求が含まれている場合には、該データ転送制御装置の制御下でデータ転送を実行する機能モジュールがデータ転送終了後においても、該機能モジュールからのデータ転送要求信号に基づいてバス使用権要求信号を継続的に送

出する手段と、をさらに有する請求項 1 に記載の画像処理システム。

【請求項 3】 前記競合制御部において、前記データ転送制御装置の制御下でのデータ転送直後のバス使用権要求信号停止期間よりも 1 クロック期間以上長く該データ転送制御装置からのバス使用権要求信号が停止した時に対応してのみ、前記中央処理装置からのバス使用権要求信号に基づいて該中央処理装置にシステムバス使用権を許可する手段をさらに有している請求項 1 に記載の画像処理システム。

【請求項 4】 前記データ転送制御装置がシステムバス使用権を要求している場合においても、前記中央処理装置が優先的に連続してデータ転送できるようにデータ量を設定する手段を有している請求項 1 に記載の画像処理システム。

【請求項 5】 請求項 1 ～請求項 4 のいずれかに記載の画像処理システムを有する半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置を有するデジタルカメラ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像、文字等の大容量データを単一バスにて転送するバス制御方式を有する画像処理システムに関する。

【0002】

【従来の技術】

特開平 1 1 - 1 2 0 1 2 3 号公報には、DMA (Direct Memory Access) 転送によりデータ転送を行う機能モジュールおよび CPU が 1 つの共通バスを用いてデータ転送を行うシステムにおけるバスの制御方法が開示されている。図 1 3 は、そのバス制御方法を使用するシステムのブロック図であり、図 1 4 は、そのシステムより出力される信号のタイミングチャートである。図 1 3 に示すバス制御を行なうシステムでは、DMAC (ダイレクトメモリアクセスコントローラ) または CPU 毎にバス権獲得要求までの最低時間を設定するバス権要求最低時間設定レジスタ 1 1 0 と、CPU のクロック (CPUCLK)

によりカウント動作を行うカウンタ 1 1 1 と、DMA 転送時間を設定する DMA 時間設定レジスタ 1 1 4 と、1 つのデータ転送の終了を示す信号 (R D Y) でカウント動作を行うカウンタ 1 1 5 とを有している。

【0 0 0 3】

バス権要求最低時間設定レジスタ 1 1 0 は、バス権獲得要求までの最低時間の設定値を有する信号をカウンタ 1 1 1 へ出力する。カウンタ 1 1 1 は、C P U C L K のクロック数をカウントし、バス権要求最低時間設定レジスタ 1 1 0 の出力信号の設定値になると H O L D 要求マスク 1 1 2 に H I G H レベル信号を出力する。H O L D 要求マスク 1 1 2 は、カウンタ 1 1 1 からの出力信号を受信して、カウンタ 1 1 1 の出力信号が L O W レベル信号の場合には、DMA 転送後に再度バス使用権要求信号 H O L D が連続して出力されることを防止するために、D M A 転送後、一定期間、A N D ゲート 1 1 3 に対して A N D ゲート 1 1 3 を O F F 状態にする信号を出力する。

【0 0 0 4】

一方、DMA 転送時間を設定する DMA 時間設定レジスタ 1 1 4 は、DMA 転送時間の設定値を有する信号をカウンタ 1 1 5 へ出力する。カウンタ 1 1 5 は、バスサイクルの終わりを示す R D Y 信号をカウントし、DMA 時間設定レジスタ 1 1 4 の出力信号の設定値 (バスサイクル値) になると H I G H レベル信号を、フリップフロップ回路 1 1 6 のリセット端子 R に出力する。フリップフロップ回路 1 1 6 のセット端子 S には、H O L D O N 条件信号が印加される。そして、フリップフロップ回路 1 1 6 の出力信号と H O L D 要求マスク 1 1 2 の出力信号とが A N D ゲートにより論理合成されて、バス使用権要求信号 H O L D として出力される。

【0 0 0 5】

バス権要求最低時間設定レジスタ 1 1 0 および DMA 時間設定レジスタ 1 1 4 は、それぞれのレジスタ設定値と後段のカウンタ 1 1 1 および 1 1 5 の値との比較結果により、内部的なバス要求信号である H O L D O N 条件信号をバス使用権要求信号 (H O L D) として出力するか、あるいは H O L D 要求マスク 1 1 2 により一定期間マスクするかを制御している。そして、バス権要求最低時間設定

レジスタ 1 1 0 および DMA 時間設定レジスタ 1 1 4 への設定値を、前述のレジスタ設定値とカウンタの値との比較結果に基づいて変更することにより、DMA C および CPU の各々は、図 1 4 に示すように、バス使用権獲得時にバスを占有してデータ転送を行える最大時間である DMA 転送時間 (A)、その転送後に再びバス使用権要求を開始するまでの最低時間であるバス権取得要求最低時間 (B) を設定して、それらの時間を調節することにより適度に DMAC と CPU とのバス使用比率を調整している。この例では、バス権取得要求最低時間設定レジスタ 1 1 0 は、バス権取得要求最低時間 (B) に相当する値を設定し、DMA 時間設定レジスタ 1 1 4 は、DMA 転送時間 (A) に相当する値を設定している。図 1 4 に示すタイミングチャートでは、DMAC がバス使用権要求信号 (HOLD) の送出を始め、バスよりバス使用権許可信号 (HOLDACK) が返送されてから DMA 転送時間 (A) の間は HOLD 信号を送出してバス使用権を要求し続けるが、DMA 転送時間 (A) 経過後はその要求信号はマスクされ、バス権取得要求最低時間 (B) が経過した後に再びマスクが解除されバス使用権要求を開始する。

【0006】

この機能をシステムバスに接続される全ての DMAC または CPU 毎に設け、各々のレジスタへの設定値を調節することによって各 DMAC (又はそれらの単純に集合させたモジュール) と CPU の間でのバス使用頻度を調節するようになっている。

【0007】

【発明が解決しようとする課題】

このバス制御方法では、各 DMAC および CPU がバス使用権要求を出さない時間を設定し、その時間を調節することによって DMAC と CPU とのバス使用頻度を調節している。このため、バスが空き状態であるにも関わらず DMAC および CPU のどちらもバスを使用できない状態が発生する。図 1 4 において、バス使用権要求の送出をマスクし停止させるバス権取得要求最低時間 (B) には、バスに接続されている他の DMAC または CPU がバス使用権要求が停止されたことを検出する。したがって、他の DMAC または CPU が次にバス使用権を獲

得するためには十分な時間を設定する必要がある。さらに、一度時間を設定すると次に時間設定を変更するまではその設定された時間が有効であるために、1つのDMACまたはCPUのみがデータ転送を行う時でも、そのDMACまたはCPUは定期的にバス権取得要求最低時間（B）だけバスを使用できないことになる。

【0008】

また、前述のDMA時間設定レジスタ114に設定する時間は、バスを占有するデータ転送の最大時間であるため、バス調停の方法にもよるが、より優先度の高いDMACまたはCPUからのバス使用権要求が発生した場合には、バス使用権許可がDMACまたはCPUの要求元へ切り替わる可能性がある。DMACまたはCPUによるデータ転送の対象が、SDRAM等の様に、アクセスの始めに若干のオーバーヘッド時間を必要とし、それに引き続き行われる同一ページ内へのアクセスではオーバーヘッド時間を必要としない場合には、前述の様に予め設定された時間（転送回数）が分割されればその回数分だけ最初のアクセスの開始時のオーバーヘッド時間を余分に費やすことになり、その時間分だけバスのデータ転送効率が低下することになる。

【0009】

したがって、前述の従来技術のバス制御方式では、共通バスの使用効率を最大限に引き出すことは困難であり、DMA転送により画像処理を高速に行うような機能モジュールを搭載し、高速な画像処理の実行を目的としたシステムに使用するには不適切である。

【0010】

図12は、従来のバス制御方式により高速な画像処理システムを構築する場合のブロック図である。図12に示す画像処理システムS3は、データをDMA転送するDMAC100と、システム制御のためのプログラム命令および制御用データを転送するCPU&i/f102と、データ転送を要求する機能モジュール105～107と、DMAC100およびCPU&i/f102からのバス使用権要求に対してバス使用を順次振り分ける競合制御部101とを有している。

【0011】

CPU&i/f102は、外部メモリー109に記憶されているCPU Program等のデータを読み込む場合には、画像専用バスB2を経由すること無く、システムバス用外部接続端子B3、外部メモリーコントローラ104およびシステムバスB1を介して、CPU Program等のデータの読み込みを行う。そして、CPU&i/f102は、外部メモリー108に記憶されている画像データを参照する場合にのみ、バス使用権要求信号CPBREQを競合制御部101へ送出する。

【0012】

機能モジュール105～107は、外部メモリー108に記憶されている画像用データ読み込むために、それぞれのデータ転送要求信号DREQ-A、DREQ-B、DREQ-CをDMAC100へ出力する。DMAC100は、機能モジュール105～107からのそれぞれのデータ転送要求信号DREQ-A、DREQ-B、DREQ-Cを受信して、データ転送時の優先順位等を決定し、バス使用権要求信号DMBREQを競合制御部101へ送信する。

【0013】

競合制御部101は、DMAC100およびCPU&i/f102からのバス使用権要求に対してバス使用を順次振り分ける信号をDMAC100およびCPU&i/f102に出力して、バス使用権を調整する。そして、DMAC100がバス使用権を許可された場合には、画像バス用外部接続端子B4、外部メモリーコントローラ103および画像専用バスB2を介して、その要求している機能モジュール105～107のいずれかに画像データが転送される。

【0014】

機能モジュール105～107またはCPUにより処理されたデータは、同様のバス制御手順を経て、外部メモリー108に書き込まれる。

【0015】

以上、説明したように従来のバス制御方式により高速な画像処理システムを構築するには、画像専用バスB2およびシステムバスB1の2つのデータバスを持った画像処理システムS3を構成し、2つのバスに専用のメモリーである外部メモリー108および109を接続する必要がある。このことは、画像処理システ

ム S 3 を L S I 化する場合には、メモリーとの接続端子が 2 系統必要となり、パッケージサイズに影響を与えるばかりでなく、I/O バッファでの消費電力も増加する。

【 0 0 1 6 】

本発明は、このような課題を解決するものであり、その目的は、データバスの転送効率を最大限に引き出すことができ、しかも小型化および省電力化を図ることができる画像処理システム並びにそれを用いた半導体装置およびデジタルスチルカメラ装置を提供することにある。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の画像処理システムは、1 つのシステムバスに接続されてデータ転送を行う機能モジュールと、

該システムバスに接続された中央処理装置と、

該機能モジュールが出力するデータ転送要求信号を受信して、データ転送要求信号に基づいてバス使用権要求信号を出力するデータ転送制御装置と、

該データ転送制御装置と該中央処理装置との間に接続されており、該データ転送制御装置および該中央処理装置からのバス使用権要求信号に対して、どちらに該システムバスの使用権を与えるかを調整する競合制御部とを有する画像処理システムであって、

該データ転送制御装置がバス使用権を得ると連続して転送できるデータ量を設定する手段と、

設定されたデータ転送終了後には該競合制御部への該データ転送制御装置のバス使用権要求信号の送信を 1 クロック期間以上停止させる手段と、

該競合制御部において該データ転送制御装置のバス使用権要求信号が発生している場合には次に必ず該データ転送制御装置がバス使用権を与えられる様に調停する手段と、を具備することを特徴とする。

【 0 0 1 8 】

前記機能モジュールが複数であって、前記データ転送制御装置の制御下でデータ転送を行うことが可能であり、

該データ転送制御装置によるデータ転送を前記中央処理装置によるデータ転送よりも優先して行なうように該機能モジュールを設定する手段と、

前記機能モジュールの該データ転送制御装置の制御下でのデータ転送要求が同時に発生し、しかも、そのデータ転送要求に優先的に設定された該機能モジュールのデータ転送要求が含まれている場合には、該データ転送制御装置の制御下でデータ転送を実行する機能モジュールがデータ転送終了後においても、該機能モジュールからのデータ転送要求信号に基づいてバス使用権要求信号を継続的に送出する手段と、をさらに有する。

【0019】

前記競合制御部において、前記データ転送制御装置の制御下でのデータ転送直後のバス使用権要求信号停止期間よりも1クロック期間以上長く該データ転送制御装置からのバス使用権要求信号が停止した時に対応してのみ、前記中央処理装置からのバス使用権要求信号に基づいて該中央処理装置にシステムバス使用権を許可する手段をさらに有している。

【0020】

前記データ転送制御装置がシステムバス使用権を要求している場合においても、前記中央処理装置が優先的に連続してデータ転送できるようにデータ量を設定する手段を有している。

【0021】

本発明の半導体装置は、請求項1～請求項4のいずれかに記載の画像処理システムを有する。

【0022】

本発明のデジタルカメラ装置は、請求項5に記載の半導体装置を有する。

【0023】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0024】

図1は、本発明の実施形態である画像処理システムのブロック図である。図1に示す画像処理システムS1は、データをDMA転送するDMAC1と、データ

をCPU転送するCPU&i/f 8と、データ転送を要求する機能モジュール11~13と、DMAC1およびCPU&i/f 8からのバス使用権要求に対してDMAC1のバス使用権要求を優先してバス使用の調整を行う競合制御部6とを有している。さらに、画像処理システムS1内部には、画像データ用とCPU Program等のデータ用との共用により1系統のシステムバスB1が存在する。

【0025】

機能モジュール11~13は、外部メモリー14に記憶されている画像データを読み込むために、それぞれのデータ転送要求信号DREQ-A、DREQ-B、DREQ-CをDMAC1へ出力する。DMAC1は、DMAC1内部の優先順位決定保持回路3において機能モジュール11~13からのデータ転送要求信号DREQ-A、DREQ-B、DREQ-Cをそれぞれ受信して、データ転送時の優先順位等を決定し、バス使用権要求信号DMBREQを競合制御部6へ送信する。一方、CPU&i/f 8は、システム制御およびプログラム実行のための命令およびデータの転送のために、バス使用権要求信号CPBREQを競合制御部6へ送信する。競合制御部6は、DMA優先設定レジスタ7を有しており、DMAC1およびCPU&i/f 8からのバス使用権要求に対してDMAC1のバス使用権要求を優先してバス使用を許可するような調整を行った結果としてのバス使用権許可信号をDMAC1およびCPU&i/f 8に出力して、バス使用権を調整する。そして、DMAC1がバス使用権を許可された場合には、外部メモリー14からシステムバス用外部接続端子B3、外部メモリーコントローラ10およびシステムバスB1を介して、その要求している機能モジュール11~13のいずれかに画像データが転送される。また、CPU&i/f 8がバス使用権を許可された場合には、外部メモリー14からシステムバス用外部接続端子B3、外部メモリーコントローラ10およびシステムバスB1を介して、プログラム実行用の命令およびデータがCPU&i/f 8に読み込まれる。

【0026】

機能モジュール11~13またはCPU&i/f 8により処理されたデータは、同様のバス制御手順を経て外部メモリー14に書き込まれる。

【 0 0 2 7 】

図 2 は、画像処理システム S 1 に含まれる DMAC 1 のブロック図の一例である。本発明では、画像処理システム S 1 において DMA 転送による連続データ転送を要求する機能モジュールが 3 個（画像処理 A、画像処理 B、画像処理 C）存在している例を示しているが、機能モジュールの数は 3 個に限らず、1 個または 2 個あるいは 4 個以上の複数個でも良い。

【 0 0 2 8 】

DMAC 1 は、DMAC 1 によるデータ転送を CPU & i / f 8 によるデータ転送よりも優先して行うように機能モジュール 1 1 ~ 1 3 を設定する DMA 優先チャネル設定レジスタ 2 と、各チャネルからのデータ転送要求の優先順位を決定する優先順位決定保持回路 3 と、DMAC 1 が連続して転送できるデータ量を設定する連続データ転送数設定レジスタ 4 と、データ転送終了後 DMAC 1 から競合制御部 6 へのバス使用権要求信号の送信を 1 クロック期間以上停止させるリクエスト一時停止手段 5 とを有している。

【 0 0 2 9 】

DMA 転送による連続データ転送を要求する 3 個の機能モジュール 1 1, 1 2, 1 3 のデータ転送要求信号は、それぞれ DREQ-A, DREQ-B, DREQ-C である。機能モジュール 1 1, 1 2, 1 3 から出力されるデータ転送要求信号は、優先順位決定保持回路 3 に入力される。優先順位決定保持回路 3 に入力されるデータ転送要求信号は、DMAC 1 がバス使用を許可されていない場合、または、DMAC 1 内でデータ転送の許可されるチャネルを切り替える場合において、システムバスクロック (BCLK) の立ち下がりのタイミングで優先順位が最も高いチャネルに対応する出力に HIGH レベルのパルスを出力させ保持させる (SELCH-A または SELCH-B または SELCH-C)。この優先順位決定保持回路 3 からの出力 SELCH-A, SELCH-B, SELCH-C は、それぞれが機能モジュール 1 1, 1 2, 1 3 からのデータ転送要求信号 DREQ-A, DREQ-B, DREQ-C と AND ゲート 2 1, 2 2, 2 3 によりそれぞれ論理合成された信号が出力された後に、それぞれの AND ゲートの出力パルスが OR ゲート 2 4 により論理合成されて出力され、立ち下がり検出 1 ク

ロックLOWパルス生成部25を経由して、機能モジュール11、12、13からのデータ転送要求信号のすべてがORゲート20により論理合成されて出力された信号とANDゲート26で論理積が取られSMREQ信号が作成される。

【0030】

このようにして、作成されたSMREQ信号は、データ転送が許可されているチャンネルが要求するデータ量の転送が終了した場合に、他のチャンネルがデータ転送要求信号を発生しても、1クロック期間だけLOWレベルパルスを出力して、DMAC1からの最終的な出力であるバス使用権要求信号DMBREQを中断させる信号となる。

【0031】

また、優先順位決定保持回路3により優先順位が決定された出力信号SELCH-A、SELCH-B、SELCH-Cは、セクタ32に入力され、選択されたチャンネルに対応する連続データ転送数設定レジスタ4のデータをセクタ32の出力信号DMTRNとして後段の比較器34へ出力する。

【0032】

一方、カウンタ33では、DMAC1がバスを占有して転送するデータ量をカウントし出力信号DMCNTとして比較器34へ出力する。比較器34は、カウンタ33の出力信号DMCNTとセクタ32の出力信号DMTRNとの値が等しくなった場合に、EQU信号を出力して1クロックLOWパルス生成部28へ転送する。EQU信号が入力された1クロックLOWパルス生成部28からは、1クロック期間のLOWレベルパルスが出力され、この出力パルスが前述の機能モジュール11、12、13からのデータ転送要求信号により生成されたSMREQ信号とANDゲート27により論理合成されDMREQ信号が生成される。このようにして作成されたDMREQ信号は、優先順位決定保持回路3によって選択されたチャンネルのデータ転送が終了するか、あるいは連続データ転送数設定レジスタ4に設定されたデータ量（転送数）の転送を終了した時点で1クロック期間だけDMAC1からのバス使用権要求信号DMBREQを停止させる信号となり、これをDMAC1の内部リクエスト信号として扱う。

【0033】

さらに、機能モジュールの各チャネルからのデータ転送要求信号（DREQ-A, DREQ-B, DREQ-C）は、DMA優先チャネル設定レジスタ2の出力信号と、それぞれANDゲート15、16、17により論理合成されて出力され、ANDゲート15、16、17からのそれぞれの出力パルスがORゲート18で論理合成されて信号SEQが生成される。信号SEQは、リクエスト一時停止手段5において生成された内部リクエスト信号DMREQとORゲート19により論理合成されて、DMAC1からのバス使用権要求信号DMBREQとして競合制御部6へ出力される。

【0034】

これにより、DMBREQ信号は、優先順位決定保持回路3にて選択されたチャネルのデータ転送が終了するか、あるいは連続データ転送数設定レジスタ4に設定されたデータ量の転送を終了した時点において、1クロック期間のみDMAC1からのバス使用権要求信号DMBREQの送出を停止するが、DMA優先チャネル設定レジスタ2に設定されたチャネルのデータ転送要求が発生している場合には、バス使用権要求信号DMBREQは、停止されることなく生成され、競合制御部6へ出力される。

【0035】

一方、DACK生成部31は、データ転送要求信号が発生していることによる優先順位決定保持回路3からの出力信号を受信することにより、バス使用権が許可されている状態で実際にアクセスを行うことを示すストローブ信号DMSTRBと、各チャネルに対してデータの送受信が有効であることを示す信号（DACK-A, DACK-B, DACK-C）と、データ転送数をカウントするカウンタ部33へのカウントイネーブル信号とを生成する。

【0036】

図3には、本発明の画像処理システムのCPU&i/f8のブロック図を示す。

CPU&i/f8は、CPU35と、連続データ転送数設定レジスタ9と、ダウンカウンタ37と、カウントイネーブル生成部40とを有している。

【0037】

CPU35は、アクセス要求信号CPBREQにHighレベルを出力することによりアクセスの始まりを示し、その後、連続アドレスへのアクセスが継続する場合は、CPBREQ信号を継続してHighレベルを出力する。ここでは、CPUが直接的にアクセス要求信号を出力するような要求形態を取らない場合には、CPU外部にアクセス要求信号を出力する動作を実現するための付属回路を設けたものをCPUとしても良い。

【0038】

CPU35からのアクセス要求信号CPBREQは、バス使用権要求信号として競合制御部6に出力されるとともに、CPU35に対するバス使用許可信号CPGNTD信号とANDゲート36により論理合成して出力され、ダウンカウンタ37へのロード信号を生成する。これにより、ダウンカウンタ37は、CPU35がバス使用要求をしていない状態、あるいは、バス使用を許可されていない状態では、連続データ転送数設定レジスタ9の内容を示すCPTRN信号が与えられる。ダウンカウンタ37のZERO端子からの出力信号は、インバータ38により極性反転信号として、バス使用許可信号とともにANDゲート39へ与えられて、論理合成されLOCK信号として出力される。そして、ダウンカウンタ37は、CPU35がバス使用権を許可されデータ転送を開始すると、CPU35が連続してデータ転送する回数をカウントして、カウント値がゼロになるまではLOCK信号を発生する。次に、カウントイネーブル生成部40は、バス使用権要求信号CPBREQ、バス使用許可信号CPGNTD、WAIT信号を与えられて、データ転送要求が発生しているとともにバス使用権が許可されている状態において、実際にアクセスを行うことを示すストロブ信号CPSTRBおよびデータ転送数をカウントするダウンカウンタ37へのカウントイネーブル信号を生成する。

【0039】

図4は、本発明の画像処理システムの競合制御部6のブロック図を示す。競合制御部6は、DMA優先設定レジスタ7と、2クロック以上のLOWレベルの検出部42と、ステート制御部41とを有している。ステート制御部41には、CPU&i/f8からのバス使用権要求信号CPBREQと、DMAC1からのバ

ス使用権要求信号DMBREQと、DMAC1からのバス使用権要求信号DMBREQがシステムバスクロック（BCLK）により2クロック期間停止した（LOWレベルとなる）場合に、HIGHレベルとなる信号DMBREQ2Pと、システムバスを使用してのアクセスに対して次のシステムバスクロック（BCLK）までにデータの授受を完了させることが出来ない場合に、アクセスの対象となっているモジュールがHIGHレベルを出力するWAIT信号と、DMA転送を優先させることを示す信号DMPRIVと、CPU35が連続してバスを使用することを示す信号LOCKと、が入力される。

【0040】

ステート制御部41への入力信号の状態によりバス使用権の調整が行われ、調整の結果としてDMGNT信号およびDMGNTD信号が出力される。DMGNT信号には、現在のデータ転送が終了すると、次にDMAC1にバス使用権を許可する時にHIGHレベルが出力される。DMGNTD信号には、前述のDMGNT信号がHIGHレベルとなっている状態で現在のデータ転送が終了するタイミングで実際にDMAC1にバス使用権が許可されたことを示すためにHIGHレベルが出力される。一方、CPGNT信号およびCPGNTD信号は、前述のDMGNT信号およびDMGNTD信号の論理を反転させた信号で、CPU35のバス使用権要求に対しての応答信号である。CPGNT信号には、現在のデータ転送が終了すると、次にはCPUにバス使用権を許可する時にHIGHレベルが出力される。CPGNTD信号には、CPGNT信号がHIGHレベルとなっている状態で現在のデータ転送が終了したタイミングで実際にCPUにバス使用権が許可されたことを示すためにHIGHレベルが出力される。

【0041】

図5は、前述の論理を実現するステート制御部41のステート動作の一例を示す説明図である。ステートの状態としては、DMAステート45、NEXCPUステート47、CPUステート48、NEXDMAステート46の4状態があり、それぞれのステート間の遷移条件を条件1～条件4に、また、各ステート状態での信号出力の状態をステート定義に明記している。前述の4つの何れかのステート状態にある場合において、システムバスクロック（BCLK）の立ち下がり

が発生し、しかも、そのステートから次のステートへの遷移条件が成立している場合にのみ、次のステート状態へ遷移し、遷移条件が成立していない場合は、元のステート状態に留まるものとする。ただし、システムの初期化が行われた場合には、何れのステート状態にあっても必ずDMAステート45へ遷移するものとする。システムの初期化が行われた直後であるDMAステート45状態からのステート遷移の様子を以下に説明する。

【0042】

DMAステート45状態では、DMAC1に対してバス使用権が許可されており、また現在のデータ転送が完了した後も引き続きDMAC1にバス使用権が許可される。ここで、CPU35からのバス使用権要求信号が発生すると、CPBREQ信号は、HIGHレベルとなる。DMAC1からのバス使用権要求が発生していないDMBREQ信号がLOWレベルの場合には、DMAC1優先の設定がされていないDMPRIV信号がLOWレベルであれば、NEXCPUステート47へ遷移する。(条件1)

DMAC1優先の設定がされている場合(DMPRIV信号がHIGHレベル)には、前述に加えてDMBREQ信号がシステムバスクロック(BCLK)の2クロック期間LOWレベルとなった場合(DMBREQ2P信号がHIGHレベル)に限りNEXCPUステート47へ遷移する。

【0043】

NEXCPUステート47状態では、DMAC1にバス使用権が許可されているが現在のデータ転送が終了すると(WAIT信号がLOWレベルとなる)、CPU35にバス使用権を許可する状態となる。この状態でWAIT信号がLOWレベルとなることにより現在のデータ転送が終了したことが検出されCPUステート48状態へ遷移する。(条件2)

CPUステート48状態では、CPU35に対してバス使用権が許可されており、また現在のデータ転送が完了した後も引き続きCPU35にバス使用権が許可される。ここで、DMAC1からのバス使用権要求が発生した場合にはNEXDMAステート46状態へと遷移する。(条件3)

NEXDMAステート46状態は、CPU35にバス使用権が許可されている

が現在のデータ転送が終了すると（W A I T 信号が L O W レベルとなる）、D M A C 1 がバス使用権を許可される状態である。この状態で W A I T 信号が L O W レベルとなることにより現在のデータ転送が終了したことが検出され D M A ステート 4 5 状態へ遷移する。この時、C P U 3 5 がバスを占有して連続転送を行う設定にしたがって L O C K 信号が H I G H レベルとなっている場合には、L O C K 信号が解除されるか、あるいは、C P U 3 5 がバス使用権要求を解除するまでは次のステートへは遷移しない。（条件 4）

図 6 は、C P U からのデータ転送要求が発生していない場合のバス制御の各のデータ信号のタイミングチャートを示しており、図 6 を用いて、本発明の画像処理システムの D M A C 1 の基本的な動作を説明する。動作条件は、以下の通りである。ただし、図 6 中の D M S T R B 信号は、D M A C 1 がバス使用権の許可にしたがってアクセスを行うことを示すストロブ信号であり、システムバスクロック B C L K （1）の立ち下りのタイミングでこのストロブ信号が H I G H レベルであればそのアクセス対象となっているモジュール側においてデータ転送の準備が行われる。モジュール側でのデータ転送の準備が完了すると、引き続きシステムバスクロック B C L K （1）の立ち下りのタイミングにより機能モジュールからのデータ転送を終了させるように、W A I T 信号を L O W レベルにして 1 回のデータ転送を終了させる。したがって、機能モジュールは、システムバスクロック B C L K （1）の立ち下りのタイミングにてデータ転送を行う。

【 0 0 4 4 】

<動作条件>

- ・ C P U 3 5 は、バス使用権要求をしていない。
- ・ 機能モジュールの各々のチャンネルからのデータ転送要求信号 D R E Q - A （2）,

D R E Q - B （3）, D R E Q - C （4）の中で D R E Q - A （2）の優先順位

が最も高く、D R E Q - C （4）の優先順位が最も低い。

- ・ D M A 優先チャンネル設定レジスタ 2 では、どのチャンネルも優先設定がされていない。

- ・チャンネルA連続データ転送数設定レジスタ4 aには、転送回数として5が設定されている。（実際の転送回数は設定数プラス1回）
- ・チャンネルB連続データ転送数設定レジスタ4 bには、転送回数として4が設定されている。（実際の転送回数は設定数プラス1回）
- ・チャンネルC連続データ転送数設定レジスタ4 cには、転送回数として3が設定されている。（実際の転送回数は設定数プラス1回）
- ・チャンネルAに接続されている機能モジュールは、連続して3回の転送を行おうとしている。
- ・チャンネルBに接続されている機能モジュールは、連続して8回の転送を行おうとしている。
- ・チャンネルCに接続されている機能モジュールは、連続して4回の転送を行おうとしている。

【0045】

まず、チャンネルBに接続されている機能モジュールからのデータ転送要求信号DREQ-B(3)が発生する。このタイミングでは、他のチャンネルには要求が発生していないため、優先順位としてはチャンネルBが最も高くなる。このため優先順位決定保持回路3からの出力信号SELCH-B(6)がHIGHレベルとなり、連続データ転送数設定レジスタ4からは、チャンネルBに対応するものが選択され出力信号DMTRN(11)として転送回数の値4が出力される。一方、データ転送要求信号DREQ-B(3)の発生を受けて、DMAC1がバス使用権要求信号DMBREQ(14)が発生する。CPU35はアクセス要求をしていないために、次のシステムバスクロックBCLK(1)の立ち下がりにおいて、現在の転送が終了後DMAC1にバス使用権が許可される事を示す信号DMGNT(16)がHIGHレベルとなり、次のシステムバスクロックBCLK(1)の立ち下がりにて実際にDMAC1にバス使用権を許可したことを示す信号DMGNTD(17)がHIGHレベルとなり、DMAC1は、アクセスを示すストロブ信号DMSTRB(19)をハイレベルにし、アクセスを行う。

【0046】

一方、各チャンネルからのデータ転送要求の優先順位を決定する優先順位決定保

持回路 3 の保持内容を更新するためのイネーブル信号 L A T E N B (1 3) は、DMAC 1 にバス使用が許可された時間 (A) のタイミングでディセーブル (L O W レベル) となりデータ転送を行うチャンネルがチャンネル B に固定され、それ以降に発生するデータ転送要求が優先度の高いチャンネル A からの D R E Q - A (2) 信号であっても優先順位決定保持回路の出力が切り替わることはない。

【 0 0 4 7 】

このようにして、データ転送が始まり W A I T 信号 (2 0) が L O W レベルとなるタイミングにおいて、順次データ転送数をカウントする D M C N T 信号 (1 0) がカウントアップされ、セレクタ 3 2 の出力信号 D M T R N (1 1) のデータと一致した時に E Q U 信号 (9) が H I G H レベルとなり、これを受けて、DMAC 1 の内部リクエスト信号 D M R E Q (1 2) は 1 クロック期間 L O W レベルになる。これにより、DMAC 1 から競合制御部 6 へのバス使用権要求信号 D M B R E Q (1 4) も 1 クロック期間 L O W レベルとなるが、C P U 3 5 からのバス使用権要求が発生していないため引き続きバス使用権は DMAC 1 に許可される。

【 0 0 4 8 】

一方、DMAC 1 の内部リクエスト信号 D M R E Q (1 2) が 1 クロック期間 L O W レベルとなることにより、優先順位決定保持回路 3 へのイネーブル信号 L A T E N B (1 3) が 1 クロック期間イネーブルとなり、データ転送を行うチャンネルをその時点でデータ転送を要求している優先順位の最も高いチャンネルに固定する。図 6 では、時間 (B) のタイミングにてチャンネル A に固定され、優先順位決定保持回路 3 からの出力信号 S E L C H - A (5) が H I G H レベルとなり、連続データ転送数設定レジスタ 4 からは、チャンネル A が選択されセレクタ 3 2 の出力信号 D M T R N (1 1) にはその設定値 5 が出力される。DMAC 1 は、チャンネル A のデータ転送のため再びストローブ信号 D M S T R B (1 9) を出力し転送を始める。前述のチャンネル B の転送のときと同様に転送数がカウントされるが、チャンネル A は 3 回の転送で要求転送数そのものが終了するため、その時点でデータ転送要求信号 D R E Q - A (2) 信号がディセーブル (L O W レベル) となる。これにより、DMAC 1 の内部リクエスト信号 D M R E Q (1 2) が 1 ク

ロック期間LOWレベルとなり、優先順位決保持回路3の保持内容を更新するためのイネーブル信号LATENB(13)が1クロック期間イネーブルとなり、再び優先順位が更新され、時間(C)のタイミングにてデータ転送チャンネルは再びチャンネルBに固定される。

【0049】

このとき、チャンネルCにもデータ転送要求信号DREQ-C(4)が発生しているがチャンネルBのほうが優先順位が高いため、チャンネルBのデータ転送要求が優先される。このようにして、チャンネルBに対応したデータ転送が始まる。チャンネルBのデータ転送は、残り3回の転送にて要求していた転送回数が終了するため、その時点でデータ転送要求信号DREQ-B信号がディセーブル(LOWレベル)となる。これにより、前述と同様の過程を経て時間(D)のタイミングにてデータ転送チャンネルがCに固定されチャンネルCに対応したデータ転送が開始される。チャンネルCはデータ転送要求回数と連続データ転送数設定レジスタ4へ設定された値に対応する設定回数が等しく4回であり、4回で転送を終了する。

【0050】

図7には、DMA優先チャンネル設定をした場合のバス制御信号のタイミングチャートを示す。このタイミングチャートは、前述の図6にて説明した条件にて以下の2点の変更を加えた場合のタイミングチャートを示している。

- ・CPUは絶えずバス使用権要求をしている。(ただし、連続転送データ数設定レ

ジスタへの設定値は0であり、LOCK信号はディセーブルのままである)

- ・DMA優先チャンネル設定レジスタにてチャンネルAが優先設定がされている。

【0051】

この条件でのタイミングチャートでは、CPU35が絶えずバス使用権要求を行っているためDMAC1からのバス使用権要求信号が途切れることによりCPU35にバス使用権が移るところが前述の図6のタイミングチャートと異なる。時間(E), (F), (G)のタイミングにて、CPU35にバス使用権が移る状態が示されている。例えば、時間(E)のタイミングでは、DMAC1のバス使用権要求信号であるDMBREQ信号(14)が1クロック期間LOWレベル

となり、同時にその期間にCPU35のバス使用権要求信号であるCPBREQ信号(15)がHIGHレベルであるため、競合制御部6のステートマシンはNEXCPUステート47状態へと遷移し続けてCPUステート48状態へと遷移する。これによりCPU35にバス使用権が許可され、CPU35がストローブ信号CPSTRB(19)をHIGHレベルにしアクセスを行う。

【0052】

しかしながら、DMAC1のバス使用権要求信号であるDMBREQ信号(14)は、1クロック期間だけディセーブルとなり再びイネーブルとなっているため、ステートマシンはCPUステート48の次にはすぐにNEXDMAステート46状態へと遷移する。ここで、CPU35の連続データ転送数設定レジスタ9には0が設定されており、LOCK信号は、ディセーブルのままであるため、次のシステムバスクロックBCLK(1)の立ち下がりでは再びDMAステート46状態へと移行することになる。時間(F)のタイミングでも同様の動作となるが、時間(G)のタイミングではCPU35にバス使用権が許可された時点でDMAC1からの要求は発生していないため、CPU35がバスを使用しつづけることになる。

【0053】

時間(B)のタイミングでもバス使用権がCPU35に許可されるべきところであるが、DMA優先チャネル設定レジスタ2にてチャネルAが優先設定されているため、DMAC1の内部リクエスト信号DMREQ(12)は、1クロック期間ディセーブルとなりデータ転送チャネルの切り替えは行われるが、優先チャネル設定されているチャネルのデータ転送要求が発生中であることを示す信号SEQ(8)が出力されていることにより、競合制御部6へのDMAC1からのバス使用権要求信号DMBREQ信号(14)は途切れないため、継続してDMAC1がバスを使用することになる。

【0054】

図8では、DMA優先の設定をした場合のバス制御信号のタイミングチャートを示す。条件は以下の通りである。

- ・CPUは、絶えずバス使用権要求をしている(ただし、連続転送データ数設

定レジスタ9への設定値は0であり、LOCK信号はディセーブルのままである)。

- ・DMA転送優先の設定をしておりDMPRI V信号はHIGHレベルである。

【0055】

DMAC1にバス使用が許可されている状態で先ずDMAC1のバス使用権要求が発生するため、すぐにDMAC1はストローブ信号DMSTRB(10)を出力し、データ転送を始める。時間(A)のタイミングにてDMAC1は、バス使用権要求信号DMBREQ(2)をディセーブルとするが1クロック後には再びイネーブルとしてバス使用権を要求する。このとき、DMAC転送優先の設定にてDMPRI V信号(5)がHIGHレベルとなっているため、バス使用権要求信号DMBREQ(2)が1クロック期間のみディセーブルとなるが、DMBREQ2P信号(3)がLOWレベルの状態であるため、ステートの遷移は行われず、DMAC1がバスを使用し続けることになる。

【0056】

時間(B)のタイミングでは、バス使用権要求信号DMBREQ(2)は、2クロックの期間ディセーブルとなり、DMBREQ2P信号が1クロック期間ハイレベルとなるため、競合制御部6のステート状態はNEXTCPUステート47状態を経てCPUステート48状態へと遷移しCPU35にバス使用権の許可が移りCPU35がアクセスを行う。

【0057】

ただし、この時も設定によりLOCK信号は、ディセーブルのままであるためCPU35が一回転送を行った後は再びDMAC1へバス使用権の許可が移行する。このように、バス使用権要求信号CPBREQ(2)が2クロック以上の期間ディセーブルとなる状態は、DMAC1の各チャネルへのデータ転送要求が重複して発生している状態では起こらないために、DMAC1によりデータ転送を行う各機能モジュールからの転送要求が待ち状態にない時のみCPU35がバスを使用することになる。

【0058】

図9では、CPU連続データ転送数を設定した場合のバス制御信号のタイミン

グチャートを示す。CPU 35の連続データ転送数レジスタ9に0以外の値を設定することにより、CPU 35がデータ転送要求を発生している限り、その設定値プラス1回のデータをCPU 35が転送する間はDMAC 1にバス使用権を与えないような制御をした場合のタイミングを示す。ただし、DMAC 1がバス使用権要求を発生しない場合は、連続データ転送数レジスタ9への設定値に関わらず、CPU 35がデータ転送要求を発生しつづける限り、CPU 35がバスを使用し続けることが出来る。

【0059】

DMAC 1にバス使用権が許可されている状態で、DMAC 1のバス使用権要求信号DMBREQ (2)とCPU 35のバス使用権要求信号CPBREQ (3)が同時に発生する。まず、DMAC 1がストローブ信号DMSTRB (11)を発生しアクセスを行う。時間(A)のタイミングにてDMAC 1は、バス使用権要求信号DMBREQ (2)をディセーブル (LOWレベル)とし、バス使用権はCPU 35へ移行する。バス使用権がCPU 35へ移行した時点で、再びDMBREQ (2)信号がイネーブルとなるために、競合制御部6のステートはNEXTDMAステート46へと遷移する。ここで、WAIT信号がロウレベルとなり現在の転送が終了すれば再びDMAC 1へとバス使用権が移行するところであるが、CPUの連続データ転送数設定レジスタ9からの出力信号CPTRN (7)にカウント値2が設定されており、この値がCPUの転送回数をカウントするダウンカウンタ37に初期値として設定されているため、CPCNT (8)が値2となっており、したがって、LOCK信号がHIGHレベルとなっているため、バス使用権はCPU 35に許可されたままとなる。CPU 35がデータ転送を終了する毎にカウンタ値がデクリメントされ、0となった時点でLOCK信号が解除され、これによりバス使用権がDMAC 1へと移行することになる。

【0060】

時間(B)のタイミングでは、再びCPU 35にバス使用権が移行して、CPU 35がデータ転送を行っており、この時はDMAC 1からのバス使用権要求が発生していないため連続データ転送数設定レジスタ9への設定値に対応した回数に関わらず、CPU 35からのデータ転送要求が継続する限りバスを占有し連続

してデータ転送を行っている。

【 0 0 6 1 】

以上の様に、シンクロナス D R A M 等のように連続アクセスの最初のみオーバーヘッド時間を要するようなアクセス対象へのアクセスが中心となるシステムにおいて、バスに空き時間を作ることなく、D M A C 1 と C P U 3 5 との間でのバス使用权の最適制御が可能である。

【 0 0 6 2 】

図 1 0 には、本発明の画像処理システムを用いた半導体装置のブロック図を示す。図 1 0 に示す半導体装置 S 2 は、機能モジュール 1 1、1 2、1 3、4 9、5 0 と、D M A C 1 と、競合制御部 6 と、C P U & i / f 8 と、外部メモリーコントローラ 1 0 と、システムバス B 1 とを有しており、これらの部分をシリコンチップ内に集積して形成されている。半導体装置 S 2 は、機能モジュール 4 9、5 0 および接続用外部端子 P 1、P 2、P 3、P 4 以外の構成要素は、図 1 の画像処理システム S 1 と同等である。この半導体装置 S 2 において、各々の機能モジュール 1 1、1 2、1 3、4 9、5 0 は、外部とのデータの送受信の必要に応じて、接続用外部端子 P 1、P 2、P 3、P 4 を有するものとする。また、各々の各機能モジュール 1 1、1 2、1 3、4 9、5 0 は、画像処理を行うモジュール（C C D 信号処理、画像出力、画像圧縮／伸長）とデータ通信用モジュールとを備えている。また、半導体装置 S 2 は、外部装置との接続がシステムバス用外部接続端子 B 3 の一種類のみであることから、1 系統のシステムバス B 1 で構成でき、小型化および省電力化が図れる。これにより、単一バスシステムを用いて、小型で低消費電力である高速画像処理装置の実現が可能となる。

【 0 0 6 3 】

具体的に、2 系統のバスシステムでは、システムバスおよび画像専用バス各々 3 2 ビットの構成である場合において、外部メモリーとの接続用端子としてデータ信号用端子のみでも 6 4 本の端子が必要となるが、本発明の単一バスシステムでは、システムバス B 1 の 1 系統のみであるため、外部メモリーとの接続のためのデータ信号用端子数は 3 2 本で良いことになる。したがって、半導体装置 S 2 は、半導体装置 S 2 に必要な端子数が削減され小型化が可能となり、さらに、各

端子が外部の信号配線を駆動するための消費電力も、端子数が減ることにより削減できる。

【 0 0 6 4 】

図 1 1 は、本発明の実施形態のデジタルスチルカメラ装置のブロック図である。図 1 1 に示すデジタルスチルカメラ装置には、前述の半導体装置 S 2 が使用されている。レンズ 5 1 を介して C C D (電荷結合素子) 5 2 上に結像された画像は、外部端子 P 1 から半導体装置 S 2 へ入力され、各種の画像処理が行われる。半導体装置 S 2 へ入力され、画像処理された画像は、外部端子 P 2 を経由して表示用装置 5 3 に出力される。また、画像処理された画像は、必要に応じて外部端子 P 3 を経由して通信用ドライバー／レシーバー 5 4 に出力されることにより外部装置へもデータとして送信される。また、外部装置からのデータが通信用ドライバー／レシーバー 5 4 により受信され、外部端子 P 3 を経由して半導体装置 S 2 へ入力され適切な処理を施されて、画像データとして外部端子 P 2 を経由して表示用装置 5 3 に出力されることも可能である。

【 0 0 6 5 】

本実施形態では、通常カメラに必要な各種スイッチ操作の入力および L E D 等各種インジケータへの出力などは、外部端子 P 4 を経由して接続したシステム制御用マイクロコントローラ (マイコン) 5 6 が行う。半導体装置 S 2 の内部にありこれらのシステム制御を行う C P U 用のプログラムデータ、表示用装置 5 3 に文字などを表示するために使用する文字データ等を格納したフラッシュメモリー 5 8 および C P U 用のワーク領域や画像データ等を格納したシンクロナス D R A M 5 9 は、システムバス用外部接続端子 B 3 に接続されている。

【 0 0 6 6 】

このように、図 1 0 に示す半導体装置 S 2 を使用することにより、デジタルスチルカメラのような大量の画像データを高速に処理する必要があるシステムにおいて、システムバスを 1 系統の構成とすることができる。また、システムバスの 1 系統の構成では、 2 系統の構成において最低でも 2 チップ必要 (システムバス用に 1 チップと画像専用バス用に 1 チップ) であるメモリーチップを 1 チップにすることができるため、部品点数の削減が可能となる。このことは、部品実装

面積も低減されることから、装置の小型化も可能となることに加えて、メモリーチップの消費電力も、使用数が減ることより削減できる。さらに、メモリーチップが削減されるために半田付け箇所が減少して、実装面における画像処理システムの信頼性が向上する。

【 0 0 6 7 】

【発明の効果】

以上より、本発明の画像処理システムは、DMACに連続データ転送数設定レジスタとリクエスト一時停止手段とが設けられ、競合制御部にDMA優先設定レジスタが設けられることにより、DMACとCPUとにバス使用权の割り当てが可能となり、1系統のシステムバスで全てのデータ転送が効率良く行うことができる。

【 0 0 6 8 】

また、本発明の半導体装置は、画像データ用とCPUのワーキング領域用とのメモリーを共通のメモリーチップ内部に割り当てることができるため、必要とするメモリーの個数の削減が可能となり画像処理システム全体の消費電力を、低減させることができる。

【 0 0 6 9 】

さらに、本発明のデジタルスチルカメラ装置は、メモリーの個数の削減ができることから装置全体の部品点数の削減、プリント基板の小型化等が可能となり最終製品におけるコスト削減および部品実装での信頼性が向上する。

【図面の簡単な説明】

【図 1】

本発明の実施形態である画像処理システムのブロック図である。

【図 2】

本発明の画像処理システムに含まれるDMACのブロックである。

【図 3】

本発明の画像処理システムのCPU & i / f のブロック図である。

【図 4】

本発明の画像処理システムの競合制御部のブロック図である。

【図 5】

競合制御部の状態遷移図である。

【図 6】

CPUからデータ転送要求が発生していない場合のバス制御のデータ信号のタイミングチャートである。

【図 7】

DMA優先チャネル設定をした場合のバス制御のデータ信号のタイミングチャートである。

【図 8】

DMA優先の設定をした場合のバス制御のデータ信号のタイミングチャートである。

【図 9】

CPU連続転送データ数を設定した場合のデータ信号のタイミングチャートである。

【図 1 0】

本発明の画像処理システムを用いた半導体装置のブロック図である。

【図 1 1】

本発明の画像処理システムを用いたのデジタルスチルカメラ装置のブロック図である。

【図 1 2】

従来の画像処理システムのブロック図である。

【図 1 3】

従来の共通バスを用いてバス制御を行う画像処理システムのブロック図である。

【図 1 4】

従来の画像処理システムの出力信号のタイミングチャートである。

【符号の説明】

- 1 DMAC（ダイレクトメモリアクセスコントローラ）
- 2 DMA優先チャネル設定レジスタ

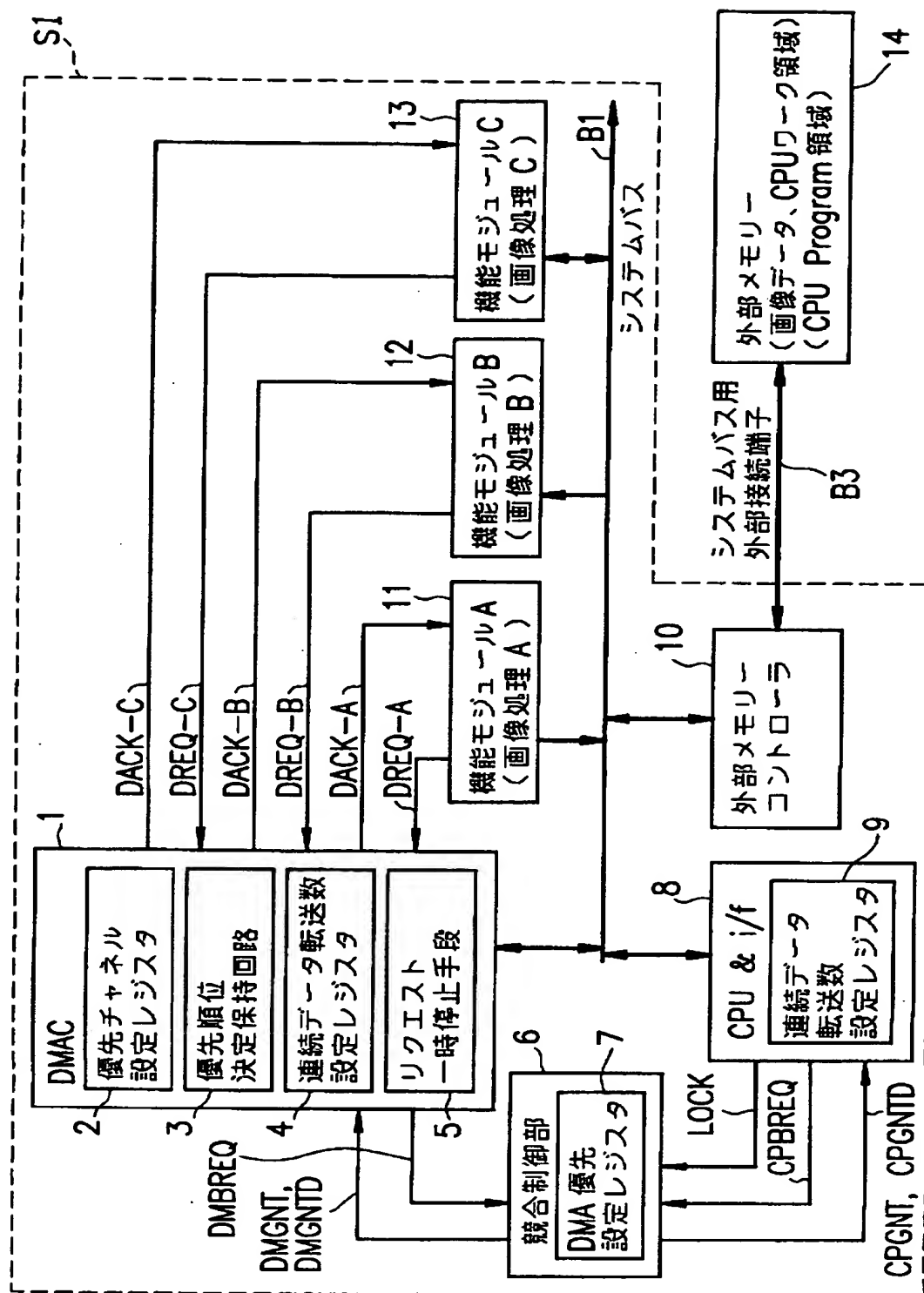
- 3 優先順位決定保持回路
- 4 連続データ転送数設定レジスタ
- 4 a チャンネルA連続データ転送数設定レジスタ
- 4 b チャンネルB連続データ転送数設定レジスタ
- 4 c チャンネルC連続データ転送数設定レジスタ
- 5 リクエスト一時停止手段
- 6 競合制御部
- 7 DMA優先設定レジスタ
- 8 CPU&i/f
- 9 連続データ転送数設定レジスタ
- 1 0 外部メモリーコントローラ
- 1 1 機能モジュールA
- 1 2 機能モジュールB
- 1 3 機能モジュールC
- 1 4 外部メモリー
- 1 5 ANDゲート
- 1 6 ANDゲート
- 1 7 ANDゲート
- 1 8 ORゲート
- 1 9 ORゲート
- 2 0 ORゲート
- 2 1 ANDゲート
- 2 2 ANDゲート
- 2 3 ANDゲート
- 2 4 ORゲート
- 2 5 立ち下り検出1クロックLOWパルス生成部
- 2 6 ANDゲート
- 2 7 ANDゲート
- 2 8 1クロックLOWパルス生成部

- 2 9 フリップフロップ
- 3 0 N A N D ゲート
- 3 1 D A C K 生成部
- 3 2 セレクタ
- 3 3 カウンタ
- 3 4 比較器
- 3 5 C P U
- 3 6 A N D ゲート
- 3 7 ダウンカウンタ
- 3 8 インバータ
- 3 9 A N D ゲート
- 4 0 カウントイネーブル生成部
- 4 1 ステート制御部
- 4 2 2 クロック以上の L O W を検出
- 4 3 インバータ
- 4 4 インバータ
- 4 5 D M A ステート
- 4 6 N E X D M A ステート
- 4 7 N E X C P U ステート
- 4 8 C P U ステート
- 4 9 機能モジュール D
- 5 0 機能モジュール E
- 5 1 レンズ
- 5 2 C C D (電荷結合素子)
- 5 3 表示用装置
- 5 4 通信用ドライバー／レシーバー
- 5 5 各種スイッチ・インジケータ等
- 5 6 システム制御用マイコン
- 5 7 シンクロナス D R A M

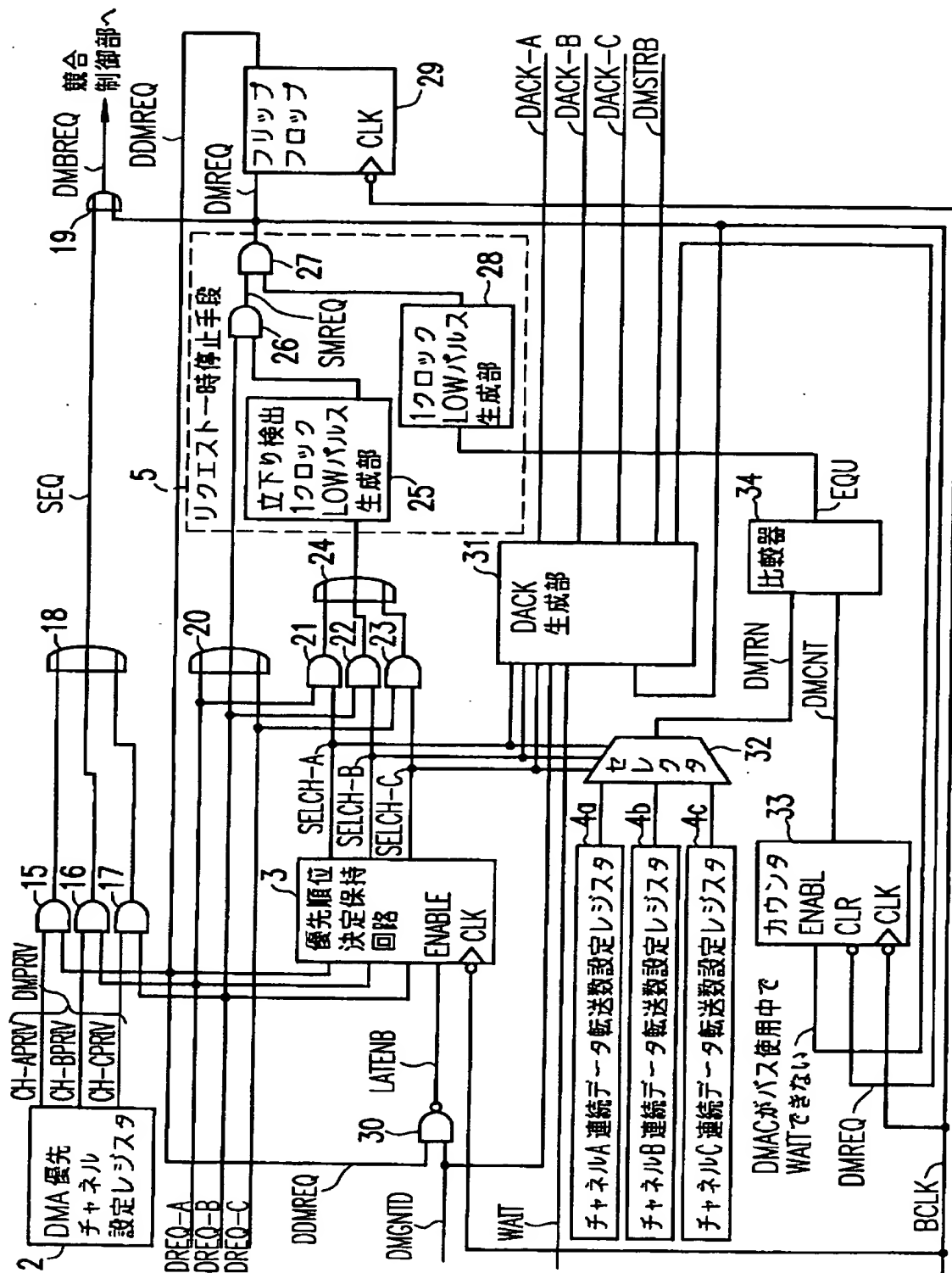
- 5 8 フラッシュメモリー
- 1 0 0 D M A C
- 1 0 1 競合制御部
- 1 0 2 C P U & i / f
- 1 0 3 外部メモリコントローラ
- 1 0 4 外部メモリコントローラ
- 1 0 5 機能モジュール A
- 1 0 6 機能モジュール B
- 1 0 7 機能モジュール C
- 1 0 8 外部メモリー
- 1 0 9 外部メモリー
- 1 1 0 バス権要求最低時間設定レジスタ
- 1 1 1 カウンタ
- 1 1 2 H o l d 要求マスク
- 1 1 3 A N D ゲート
- 1 1 4 D M A 時間設定レジスタ
- 1 1 5 カウンタ
- 1 1 6 フリップフロップ
- B 1 システムバス
- B 2 画像専用バス
- B 3 システムバス用接続端子
- B 4 画像バス用外部接続端子
- P 1 接続用外部端子
- P 2 接続用外部端子
- P 3 接続用外部端子
- P 4 接続用外部端子
- S 1 画像処理システム
- S 2 半導体装置
- S 3 画像処理システム

【書類名】 図面

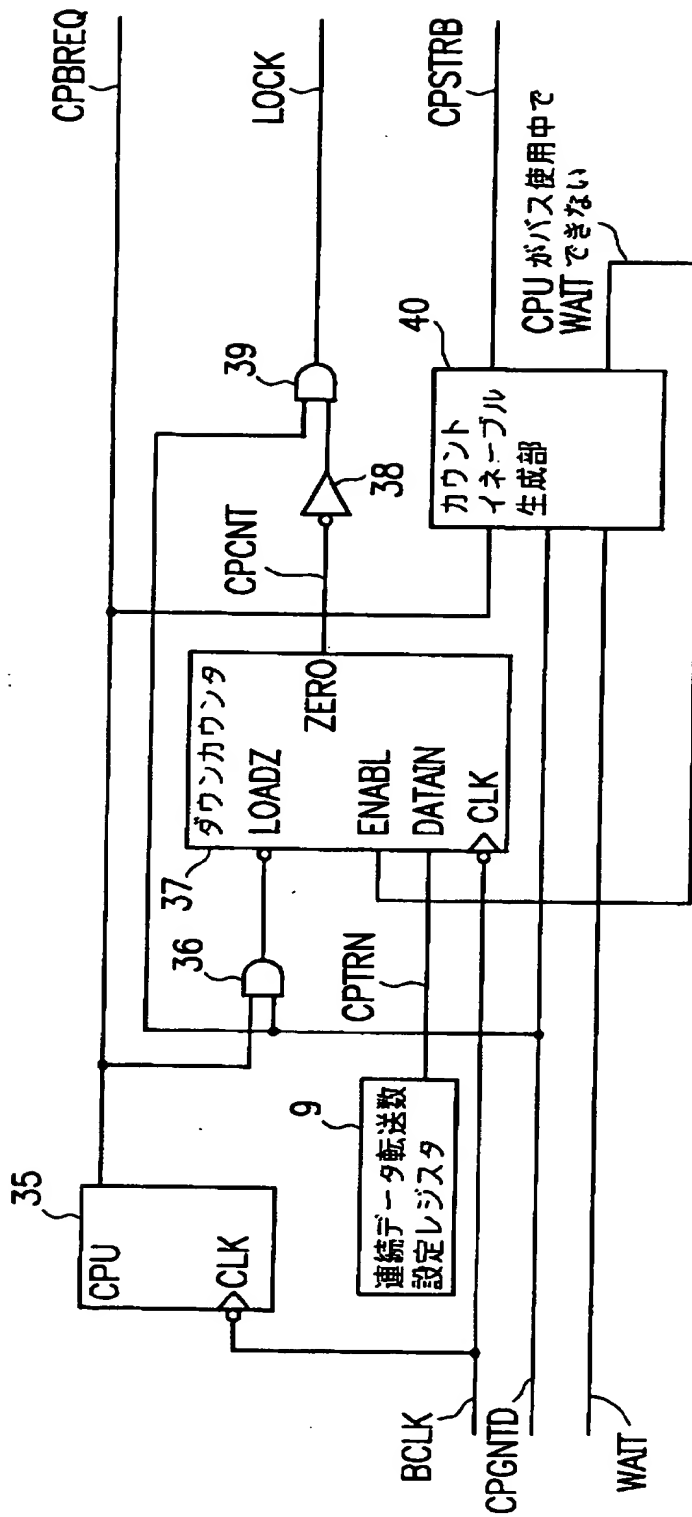
【図 1】



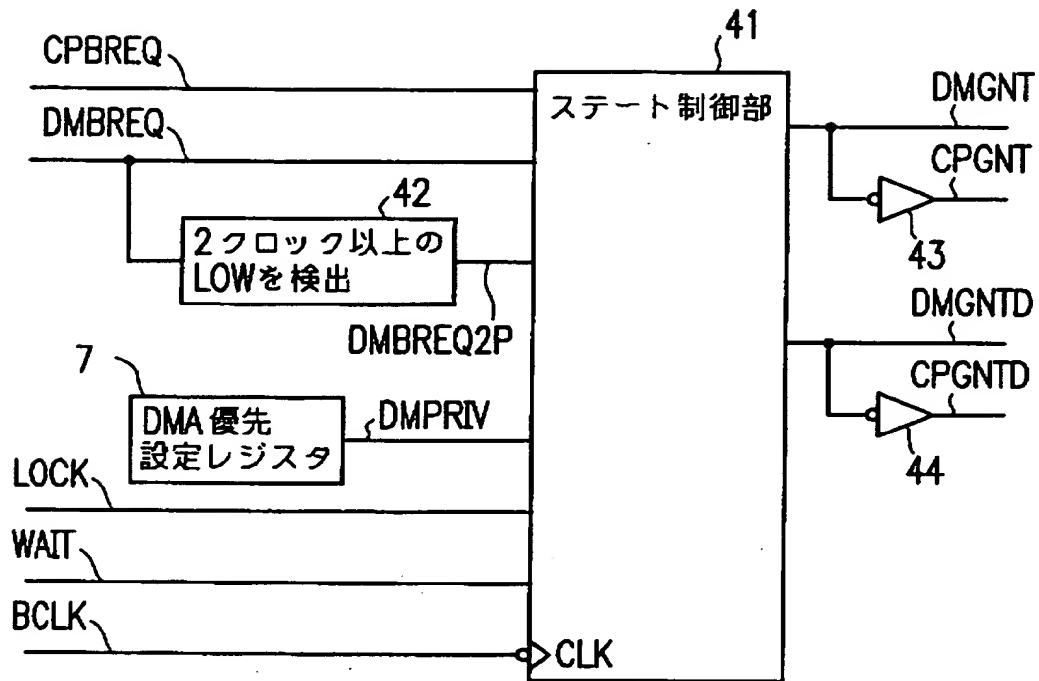
【図 2】



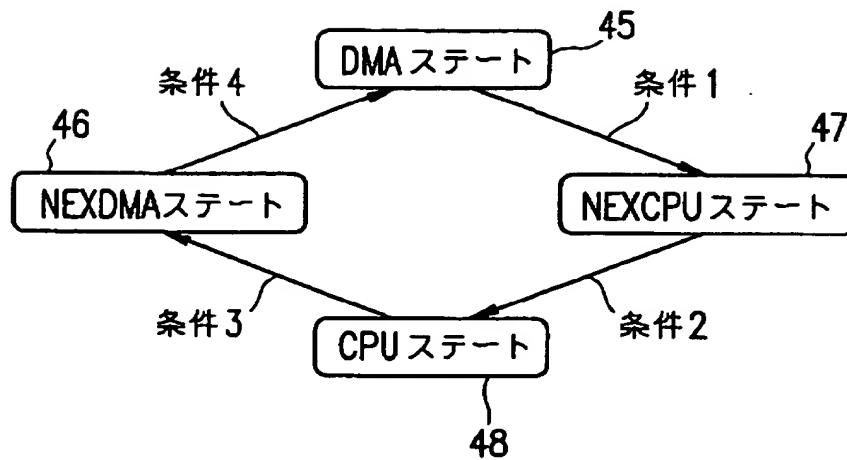
【図 3】



【図 4】



【図 5】



ステート遷移条件（それぞれの条件が真である時に遷移）

条件 1: $CPBREQ \ \& \ ((\neg DMPRIV \ \& \ \neg DMBREQ) \ or \ (DMPRIV \ \& \ DMBREQ2P))$

条件 2: $\neg WAIT$ （ウェイト状態でない）

条件 3: $DMBREQ$

条件 4: $\neg (LOCK \ \& \ CPBREQ) \ \& \ \neg WAIT$ （LOCK 中でなく、WAIT 状態でもない）

ステート定義（各ステート状態での信号の出力レベル）

DMA : $DMGNT = High, \ DMGNTD = High$

NEXCPU: $DMGNT = Low, \ DMGNTD = High$
（次のサイクルで CPU にバス使用権を与える）

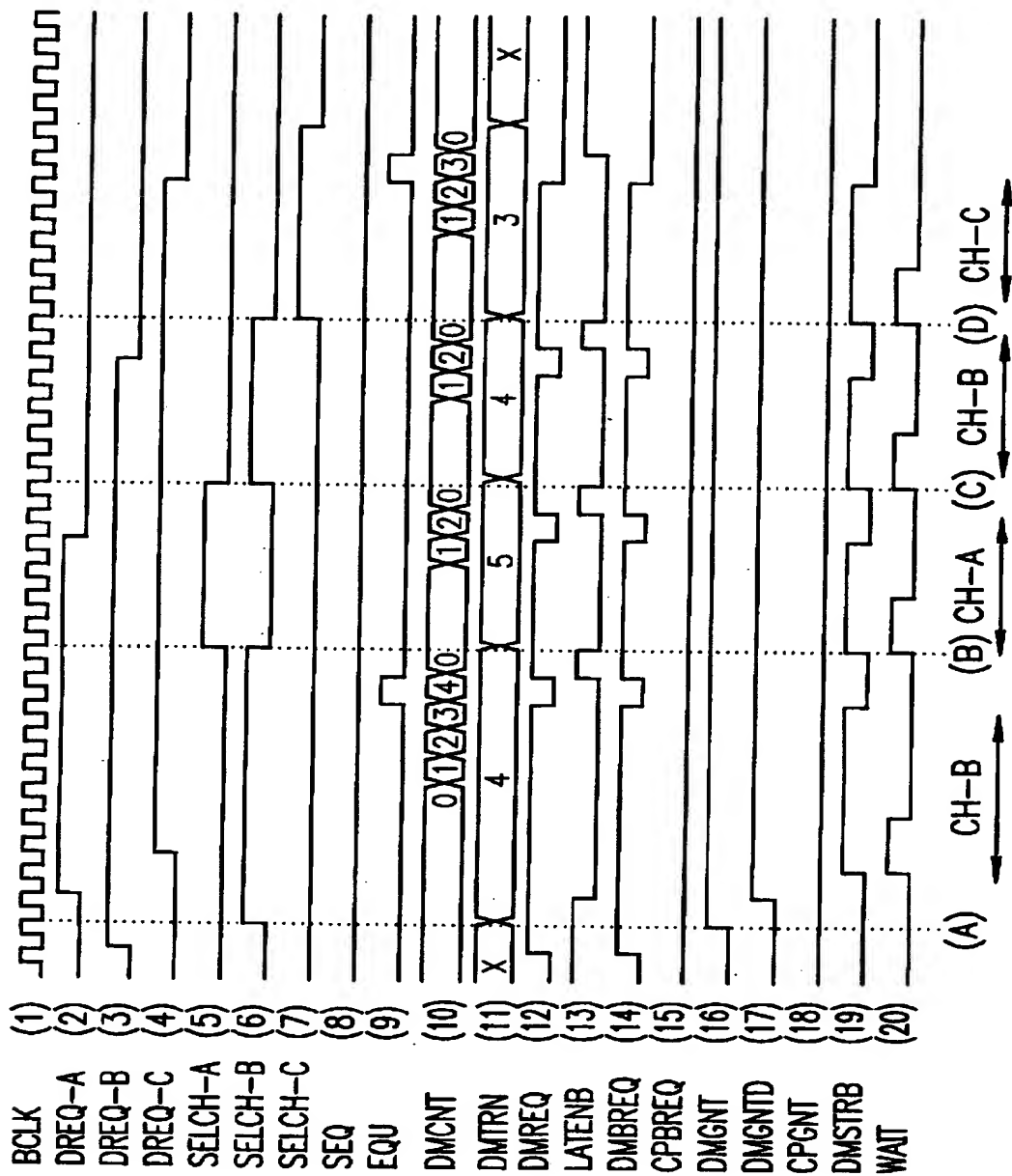
CPU : $DMGNT = Low, \ DMGNTD = Low$

NEXDMA: $DMGNT = High, \ DMGNTD = Low$
（次のサイクルで DMAC にバス使用権を与える）

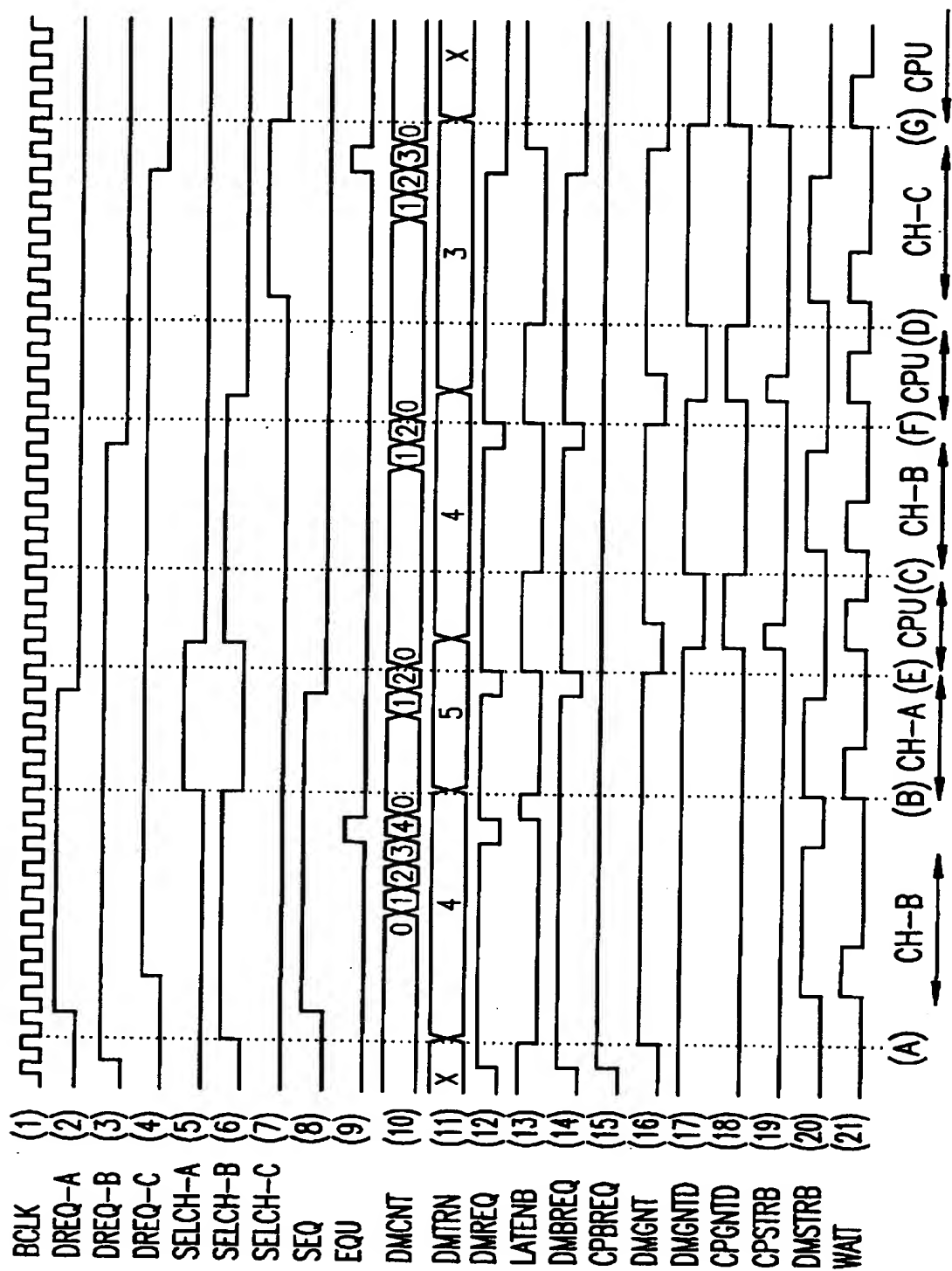
（注）上記にて記号の意味は以下の通りである。

$\&$ ・・・論理積, or ・・・論理和, \neg ・・・論理の反転

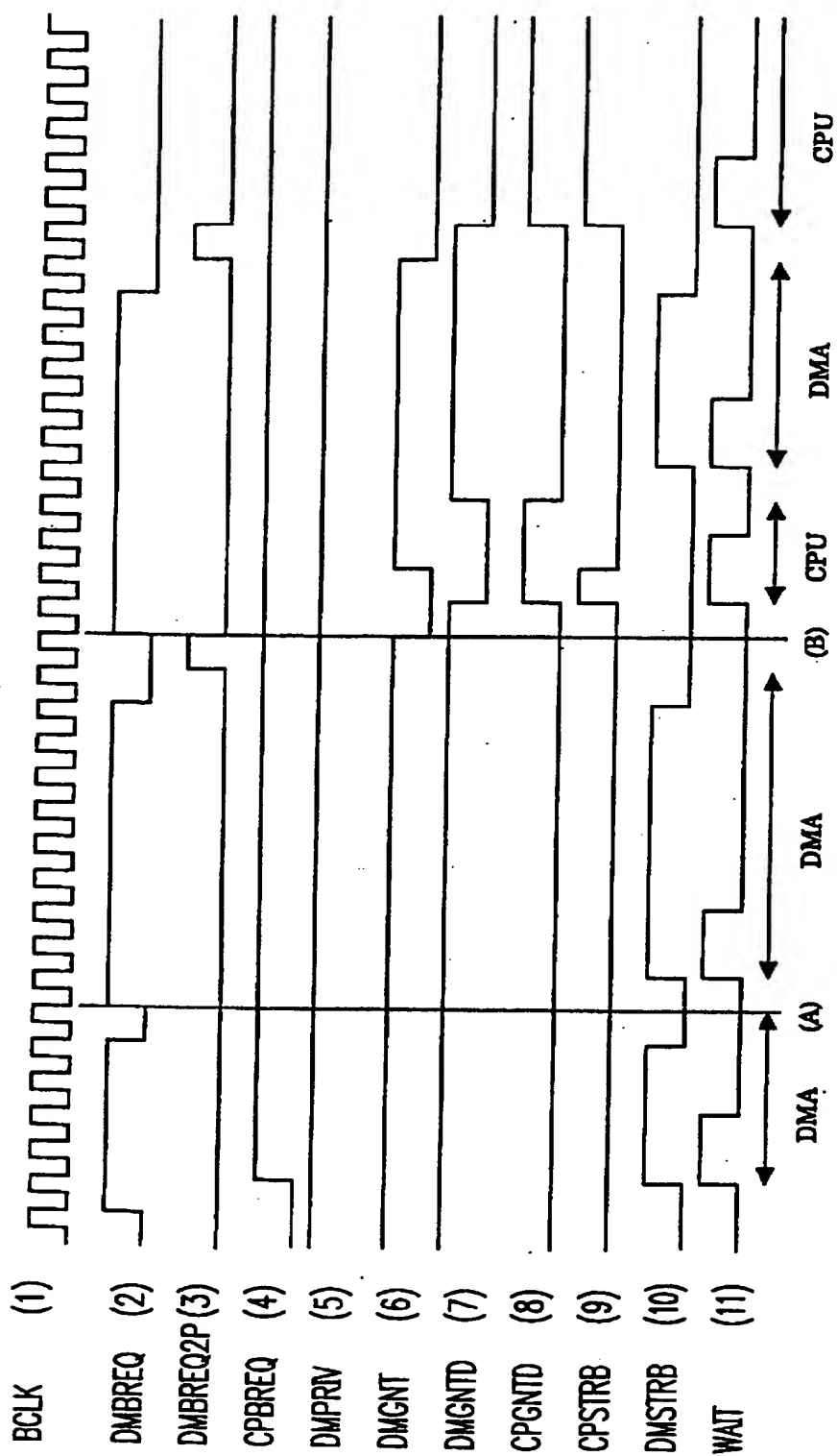
【図 6】



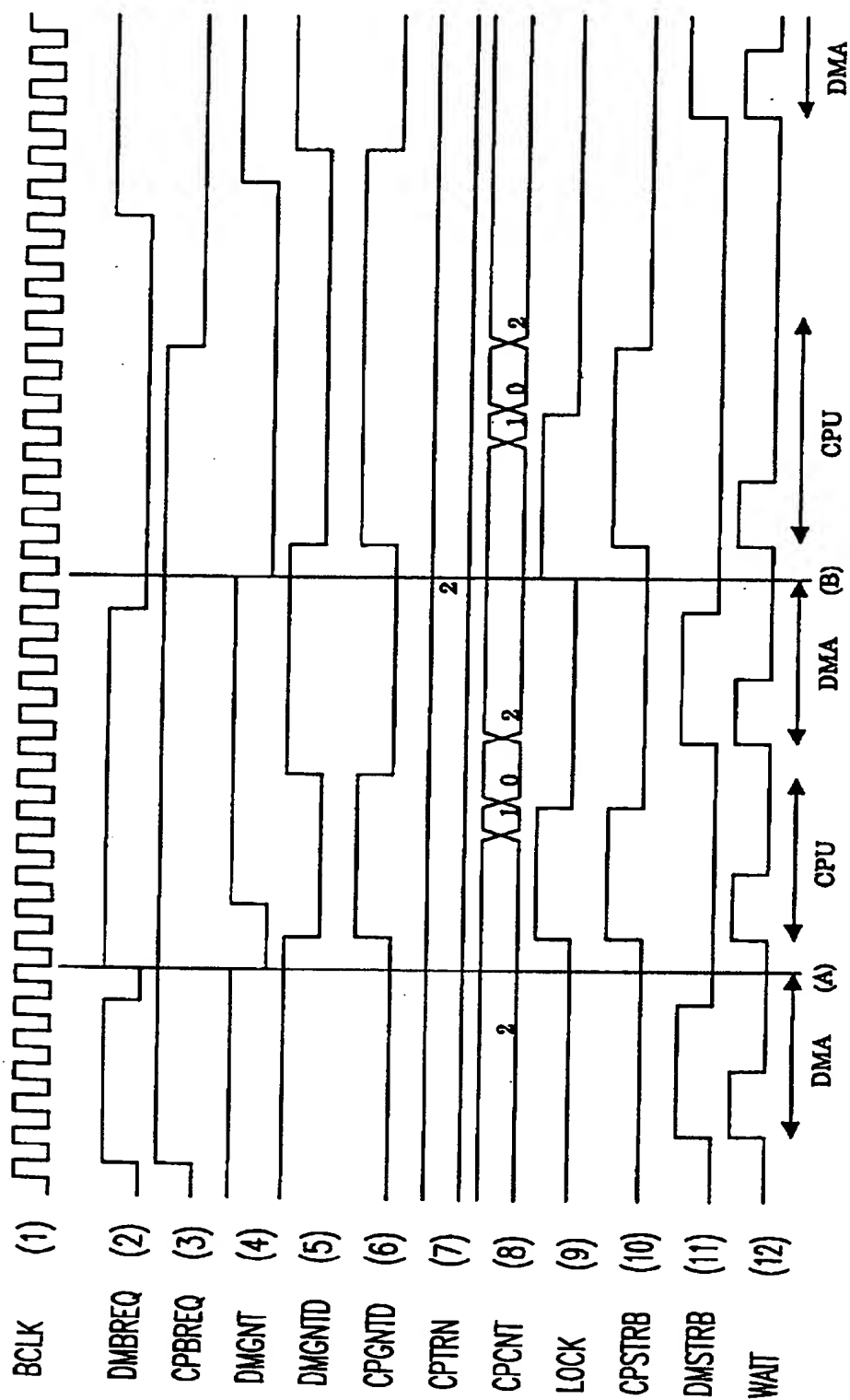
【図 7】



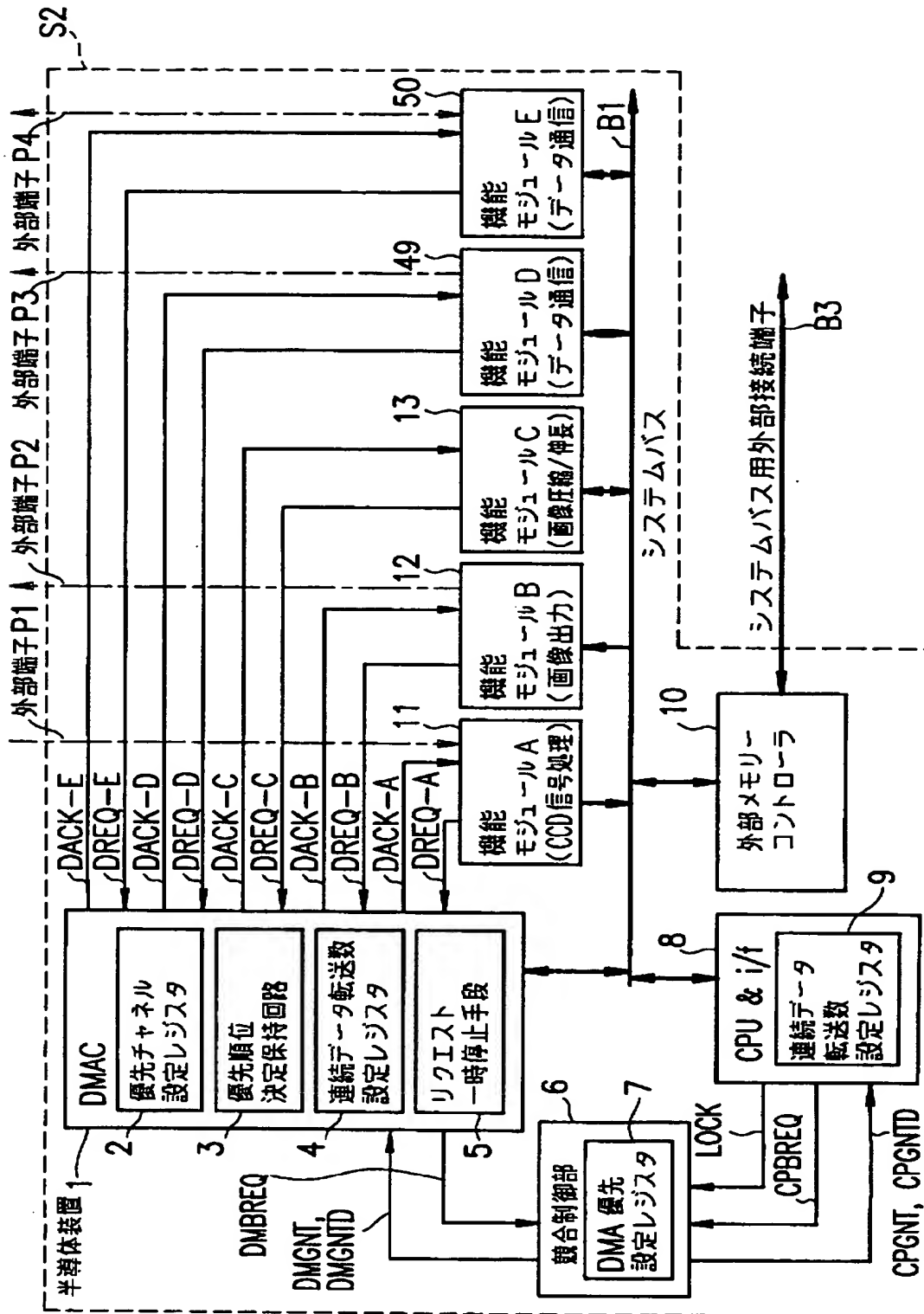
【図 8】



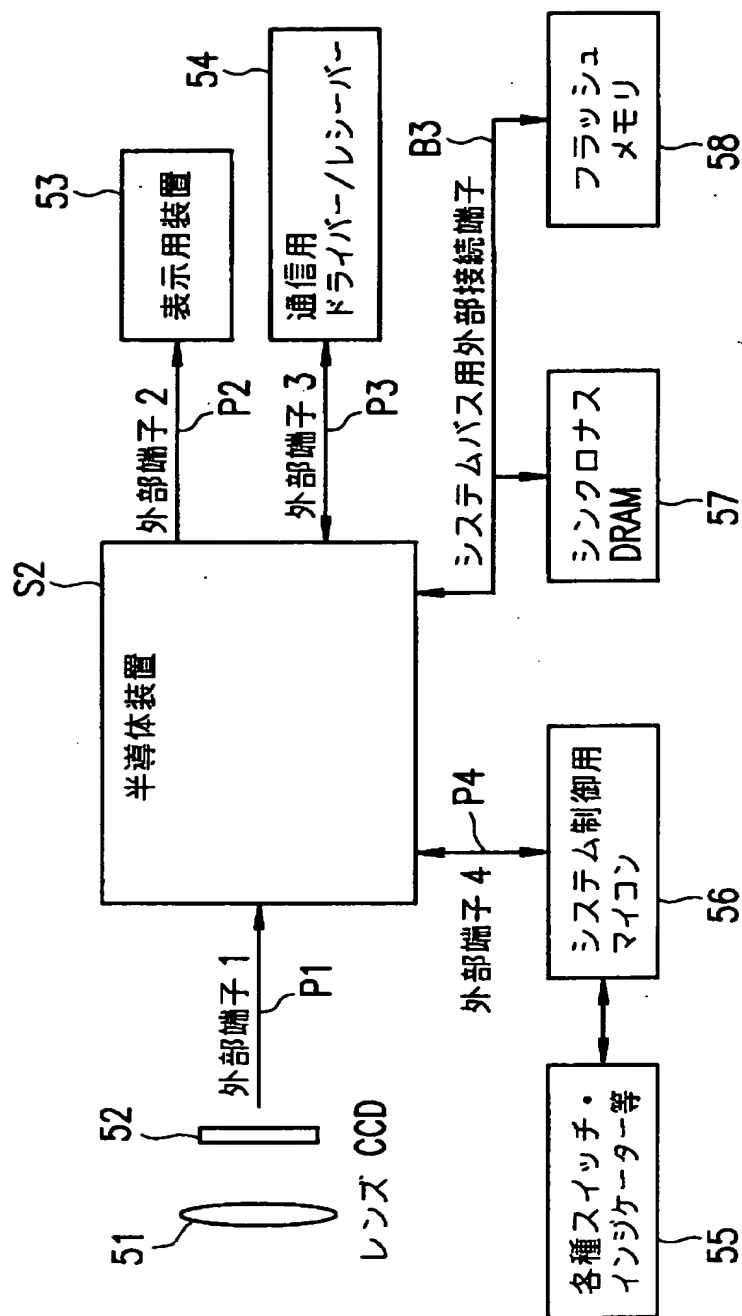
【図 9】



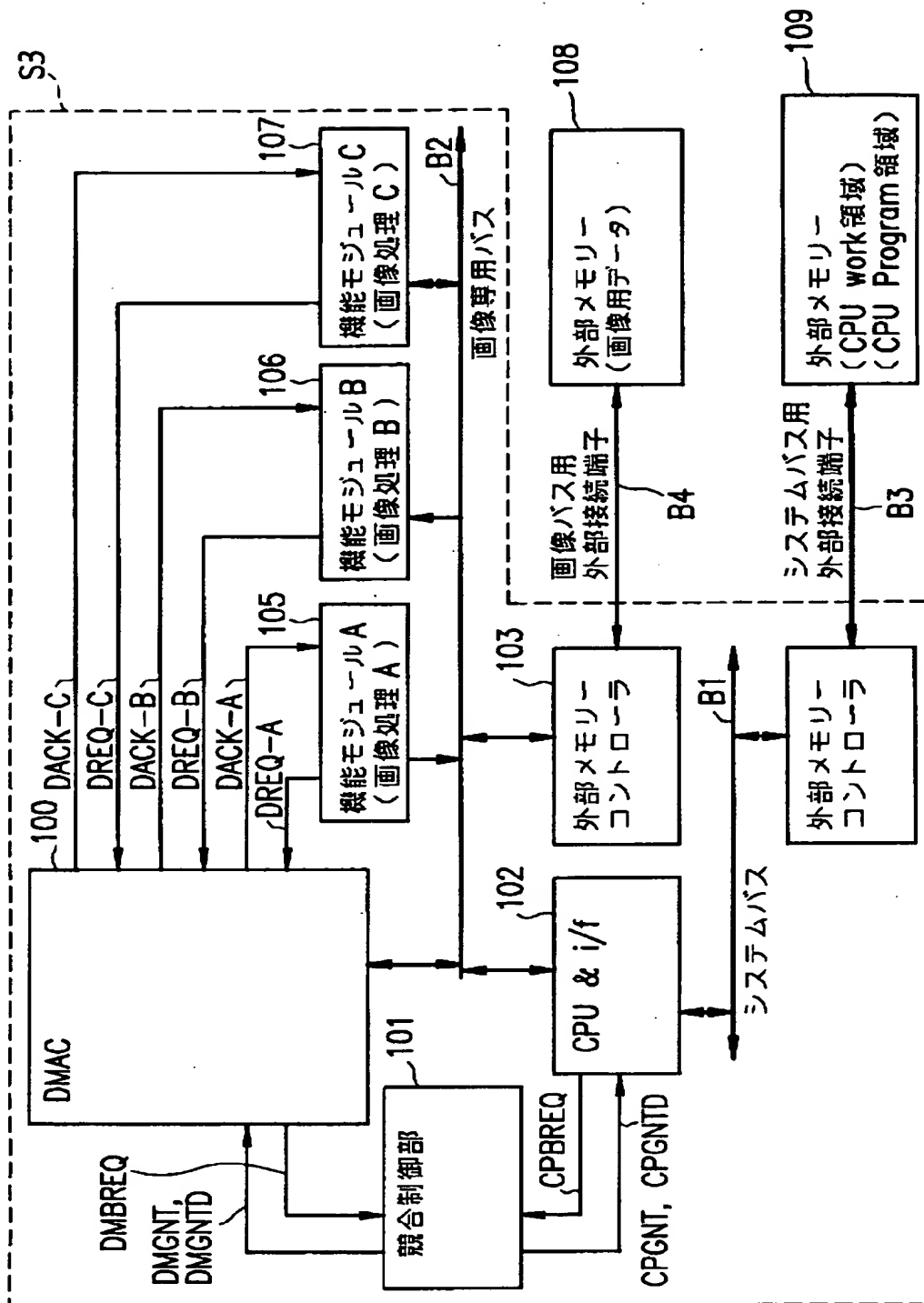
【図10】



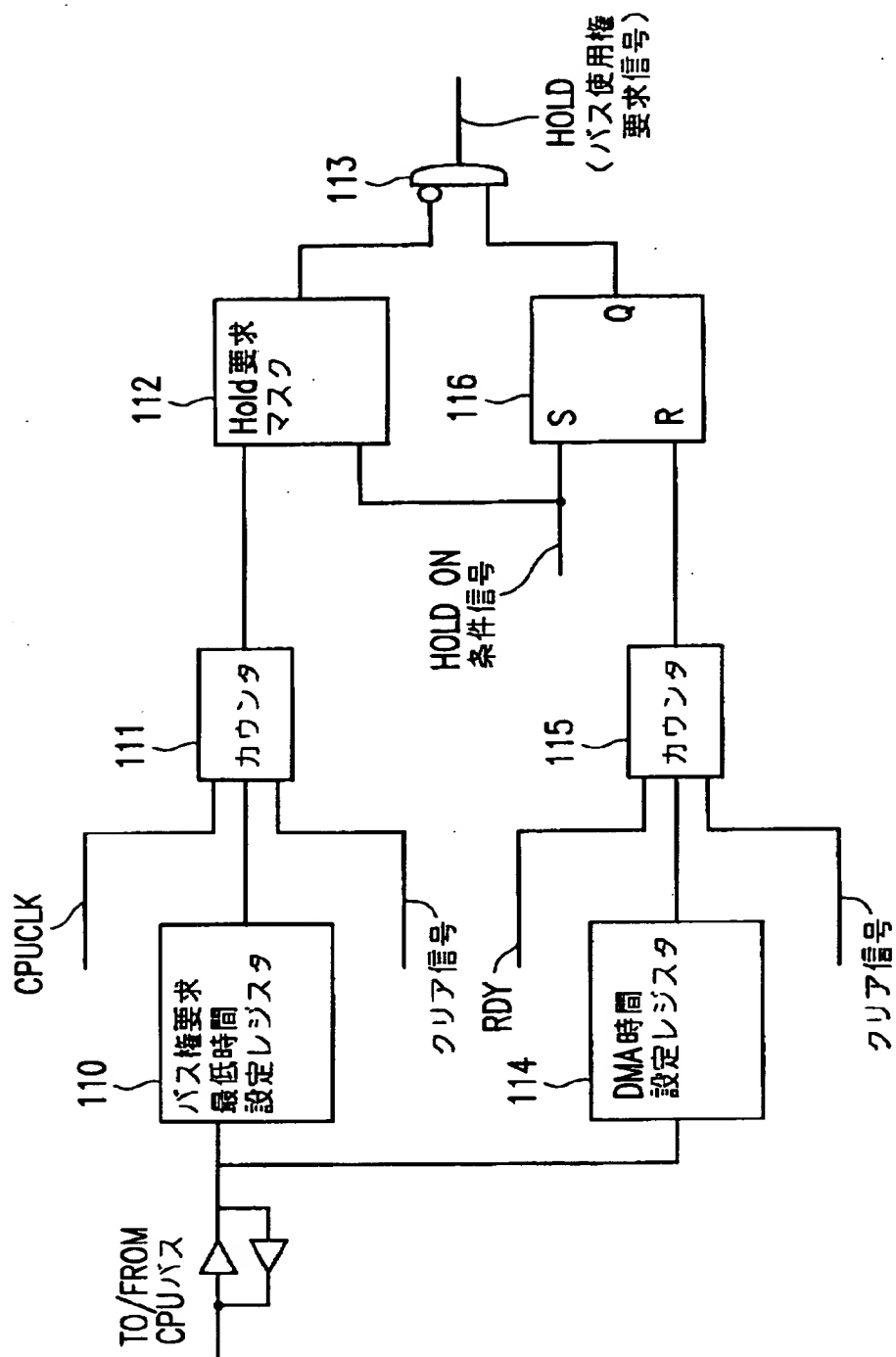
【図 11】



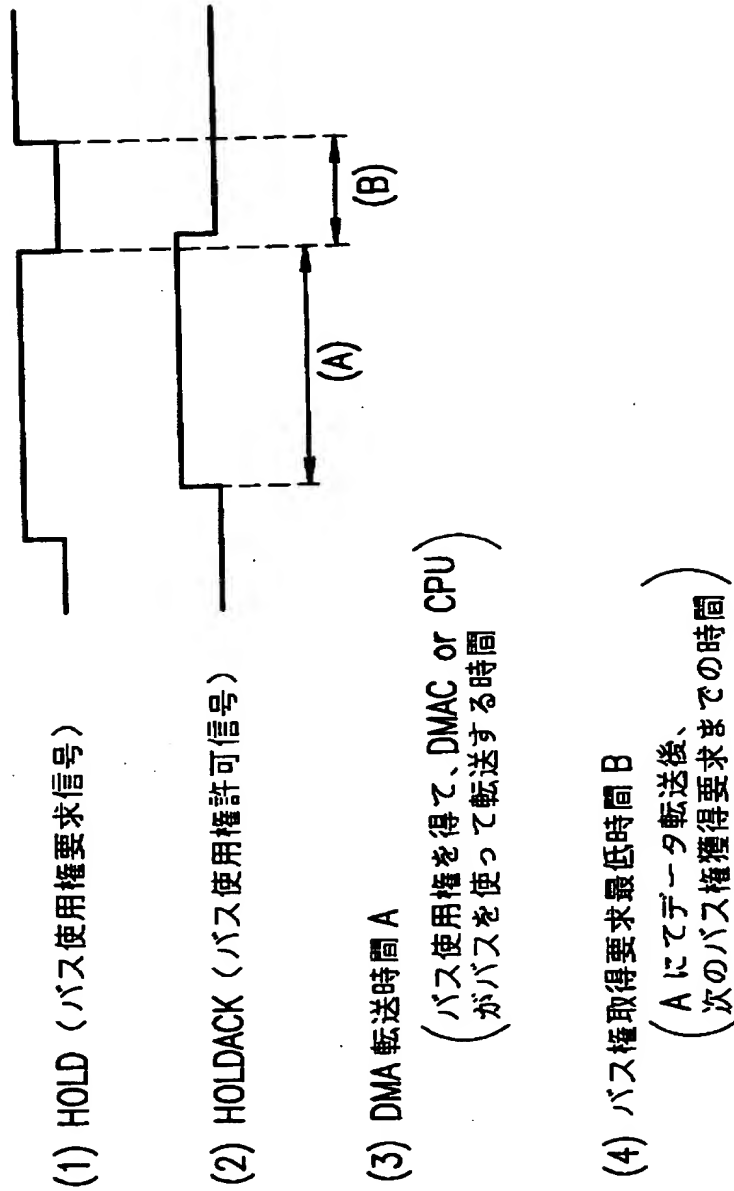
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 データバスのデータ転送効率を向上させる。

【解決手段】 DMAC 1 がバス使用権を得ると連続して転送できるデータ量を設定する連続データ転送数設定レジスタ 4 と、設定されたデータ転送終了後には必ず競合制御部 6 への DMAC 1 のバス使用権要求信号の送信を 1 クロック期間以上は停止させるリクエスト一時停止手段 5 とが設けられ、競合制御部 6 において DMAC 1 のバス使用権要求信号が発生している場合には次に必ず DMAC 1 がバス使用権を与えられる様に調停する DMA 優先設定レジスタ 7 を設けることにより、DMAC 1 と CPU & i / f 8 とがバス使用権を割り当てられる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社